



日 本 国 特 許 庁
JAPAN PATENT OFFICE

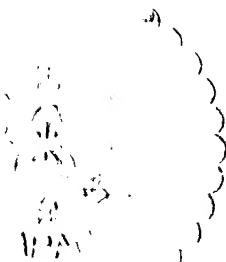
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 1 月 6 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 7 7 5 0 8
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 7 7 5 0 8]

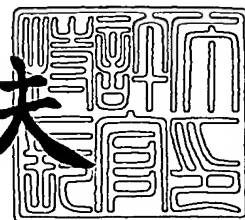
出 願 人 ア セ ッ ト コ ア ・ テ ク ノ ロ ジ ー 株 式 会 社
Applicant(s):



2 0 0 3 年 1 1 月 1 9 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 1163
【提出日】 平成15年11月 6日
【あて先】 特許庁長官殿
【国際特許分類】 G08B 05/00
【発明者】
 【住所又は居所】 埼玉県さいたま市緑区原山一丁目 6 番 2 0 号
 【氏名】 森 隆太郎
【特許出願人】
 【識別番号】 303038146
 【氏名又は名称】 アセットコア・テクノロジー株式会社
 【代表者】 成川 和利
【代理人】
 【識別番号】 100098899
 【弁理士】
 【氏名又は名称】 飯塚 信市
【先の出願に基づく優先権主張】
 【出願番号】 特願2003-301728
 【出願日】 平成15年 8月26日
【手数料の表示】
 【予納台帳番号】 037486
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0310511

【書類名】 特許請求の範囲**【請求項 1】**

連続的に到来する一連のデータの中で、所定のトリガ信号の到来タイミングの前後それぞれ所定区間内に存在する一連のデータのみをサンプルホールドするための方法であって、

前記トリガ信号の到来タイミングの前側区間に対応する第 1 の記憶領域と前記トリガ信号の到来タイミングの後側区間に対応する第 2 の記憶領域とが定義された一次記憶媒体を用意する第 1 のステップと、

到来する一連のデータを第 1 の記憶領域にアドレスを循環歩進させながら書き込む動作を前記トリガ信号が到来するまで継続する第 2 のステップと、

前記トリガ信号が到来するのを待って、前記第 1 の記憶領域へのデータ書き込みを停止する代わりに、前記トリガ信号の到来以降に到来した一連のデータを第 2 の記憶領域へと書き込む第 3 のステップと、

を具備することを特徴とするデータ列のサンプルホールド方法。

【請求項 2】

前記第 3 のステップが完了するのを待って、前記一次記憶媒体の第 1 及び第 2 の記憶領域に書き込まれたデータを二次記憶媒体へと転写する第 4 のステップをさらに有することを特徴とする請求項 1 に記載のデータ列のサンプルホールド方法。

【請求項 3】

前記一次記憶媒体がオプトメモリ等の高速記憶に適する不揮発性記憶媒体、又は電源バックアップされた DRAM 等の揮発性記憶媒体であることを特徴とする請求項 1 に記載のデータ列のサンプルホールド方法。

【請求項 4】

前記一次記憶媒体が DRAM 等の高速記憶に適する揮発性記憶媒体であり、かつ前記二次記憶媒体がフラッシュメモリ、ハードディスク等の不揮発性記憶媒体であることを特徴とする請求項 2 に記載のデータ列のサンプルホールド方法。

【請求項 5】

第 1 の記憶領域の記憶容量は第 2 の記憶領域の記憶容量の整数倍とされることを特徴とする請求項 1 ～ 4 のいずれかに記載のデータ列のサンプルホールド方法。

【請求項 6】

第 1 の記憶領域の記憶容量は第 2 の記憶領域の記憶容量の 2 倍とされることを特徴とする請求項 5 に記載のデータ列のサンプルホールド方法。

【請求項 7】

連続的に到来する一連のデータの中で、所定のトリガ信号の到来タイミングの前後それぞれ所定区間内に存在する一連のデータのみをサンプルホールドするための装置であって、

一次記憶媒体と、

前記一次記憶媒体に前記トリガ信号の到来タイミングの前側区間に対応する第 1 の記憶領域と前記トリガ信号の到来タイミングの後側区間に対応する第 2 の記憶領域とを定義するための領域定義データを記憶するための領域定義データ記憶手段と、

到来する一連のデータを前記領域定義データにより定義される前記第 1 の記憶領域にアドレスを循環歩進させながら書き込む動作を前記トリガ信号が到来するまで継続する第 1 の書き込み制御手段と、

前記トリガ信号が到来するのを待って、前記第 1 の記憶領域へのデータ書き込みを停止する代わりに、前記トリガ信号の到来以降に到来した一連のデータを前記領域定義データにより定義される前記第 2 の記憶領域へと書き込む第 2 の書き込み制御手段と、

を具備することを特徴とするデータ列のサンプルホールド装置。

【請求項 8】

二次記憶媒体と、

前記一次記憶媒体の第 1 及び第 2 の記憶領域に書き込まれたデータを前記二次記憶媒体

に転写するデータ転写制御手段とをさらに有することを特徴とする請求項 7 に記載のデータ列のサンプルホールド装置。

【請求項 9】

前記一次記憶媒体がオプトメモリ等の高速記憶に適する不揮発性記憶媒体、又は電源バックアップされた DRAM 等の揮発性記憶媒体であることを特徴とする請求項 7 に記載のデータ列のサンプルホールド装置。

【請求項 10】

前記一次記憶媒体が DRAM 等の高速記憶に適する揮発性記憶媒体であり、かつ前記二次記憶媒体がフラッシュメモリ、ハードディスク等の不揮発性記憶媒体であることを特徴とする請求項 8 に記載のデータ列のサンプルホールド装置。

【請求項 11】

外部からの入力データに基づいて領域定義データを内部生成する領域定義データ生成手段を有することを特徴とする請求項 7 ～ 10 のいずれかに記載のデータ列のサンプルホールド装置。

【請求項 12】

前記外部からの入力データには第 1 の記憶領域の容量を示すデータと第 2 の記憶領域の容量を示すデータとの双方が含まれており、前記領域定義データ生成手段はそれら 2 つのデータに基づいて領域定義データを生成することを特徴とする請求項 11 に記載のデータ列のサンプルホールド装置。

【請求項 13】

前記外部からの入力データには第 1 の記憶領域の容量を示すデータは含まれているが、第 2 の記憶領域の容量を示すデータは含まれておらず、前記領域定義データ生成手段は第 1 の領域の容量を示すデータのみに基づいて領域定義データを生成することを特徴とする請求項 11 に記載のデータ列のサンプルホールド装置。

【請求項 14】

第 1 の記憶領域の記憶容量は第 2 の記憶領域の記憶容量の整数倍とされることを特徴とする請求項 7 ～ 13 のいずれかに記載のデータ列のサンプルホールド装置。

【請求項 15】

第 1 の記憶領域の記憶容量は第 2 の記憶領域の記憶容量の 2 倍とされることを特徴とする請求項 14 に記載のデータ列のサンプルホールド装置。

【請求項 16】

サンプル対象となる一連のデータが入力される第 1 のポートと、
所定のトリガ信号が入力される第 2 のポートと、
所定の記憶媒体へと接続される第 3 のポートと、
サンプルホールドされた一連のデータを出力するための第 4 のポートと、
第 3 のポートに接続された記憶媒体に第 1 の記憶領域と第 2 の記憶領域とを定義する領域定義データを記憶するための領域定義データ記憶手段と、
第 1 のポートから入力される一連のデータを第 3 のポートに接続された記憶媒体の第 1 の記憶領域にアドレスを循環歩進させながら書き込む動作を、第 2 のポートからトリガ信号が入力されるまで継続する第 1 の書き込み制御手段と、
第 2 のポートからトリガ信号が入力されるのを待って、記憶媒体の第 1 の記憶領域へのデータ書き込みを停止する代わりに、トリガ信号の到来以降に到来した一連のデータを記憶媒体の第 2 の記憶領域へと書き込む第 2 の書き込み制御手段と、
第 3 のポートに接続された一次記憶媒体の第 1 の記憶領域及び第 2 の記憶領域に記憶されたデータを第 4 のポートへと送り出すための制御を司るデータ読み出し制御手段と、
を具備することを特徴とする半導体集積回路。

【請求項 17】

前記記憶媒体がオプトメモリ等の高速記憶に適する不揮発性記憶媒体、又は電源バックアップされた DRAM 等の揮発性記憶媒体であることを特徴とする請求項 16 に記載の半導体集積回路。

【請求項 18】

当該半導体集積回路の内部のみならず、外部接続される記憶媒体並びに外部接続されて動作クロックを当該半導体集積回路に対して供給する発振器に対しても電源を供給する電源制御部を有することを特徴とする請求項 16 に記載の半導体集積回路。

【請求項 19】

前記電源制御部から供給される電源を停電時に所定時間保持するためのスーパーキャパシタを接続するための外部端子を有することを特徴とする請求項 18 に記載の半導体集積回路。

【請求項 20】

制御用データが入力される第 5 のポートと、
前記第 5 のポートから入力される制御用データに基づいて前記領域定義データを内部生成する領域定義データ生成手段をさらに含むことを特徴とする請求項 16 ～ 19 のいずれかに記載の半導体集積回路。

【請求項 21】

サンプル対象となる一連のデータが入力される第 1 のポートと、
所定のトリガ信号が入力される第 2 のポートと、
所定の一次記憶媒体へと接続される第 3 のポートと、
所定の二次記憶媒体へと接続される第 4 のポートと、
サンプルホールドされたデータを読み出すための第 5 のポートと、
第 3 のポートに接続された一次記憶媒体に第 1 の記憶領域と第 2 の記憶領域とを定義する領域定義データを記憶するための領域定義データ記憶手段と、
第 1 のポートから入力される一連のデータを第 3 のポートに接続された一次記憶媒体の第 1 の記憶領域にアドレスを循環歩進させながら書き込む動作を、第 2 のポートからトリガ信号が入力されるまで継続する第 1 の書き込み制御手段と、
第 2 のポートからトリガ信号が入力されるのを待って、一次記憶媒体の第 1 の記憶領域へのデータ書き込みを停止する代わりに、トリガ信号の到来以降に到来した一連のデータを一次記憶媒体の第 2 の記憶領域へと書き込む第 2 の書き込み制御手段と、
第 3 のポートに接続された一次記憶媒体の第 1 及び第 2 の記憶領域に書き込まれたデータを第 4 のポートに接続された二次記憶媒体へと転写するデータ転写制御手段と、
第 4 のポートに接続された二次記憶媒体に記憶されたデータを第 5 のポートへと送り出すための制御を司るデータ読み出し制御手段と、
を具備することを特徴とする半導体集積回路。

【請求項 22】

一次記憶媒体が DRAM 等の高速記憶に適する揮発性記憶媒体であり、かつ二次記憶媒体がフラッシュメモリ、ハードディスク等の不揮発性記憶媒体であることを特徴とする請求項 21 に記載の半導体集積回路。

【請求項 23】

当該半導体集積回路の内部のみならず、外部接続される一次及び二次記憶媒体、並びに、外部接続されて動作クロックを当該半導体集積回路に対して供給する発振器に対しても電源を供給する電源制御部を有することを特徴とする請求項 21 に記載の半導体集積回路。

【請求項 24】

前記電源制御部から供給される電源を停電時に所定時間保持するためのスーパーキャパシタを接続するための外部端子を有することを特徴とする請求項 23 に記載の半導体集積回路。

【請求項 25】

第 1 の記憶領域の記憶容量は第 2 の記憶領域の記憶容量の整数倍とされることを特徴とする請求項 20 ～ 24 のいずれかに記載の半導体集積回路。

【請求項 26】

第 1 の記憶領域の記憶容量は第 2 の記憶領域の記憶容量の 2 倍とされることを特徴とす

る請求項 2 5 に記載の半導体集積回路。

【請求項 2 7】

制御用データが入力される第 6 のポートと、

前記第 6 のポートから入力される制御用データに基づいて前記領域定義データを内部生成する領域定義データ生成手段をさらに含むことを特徴とする請求項 2 0 ～ 2 6 のいずれかに記載の半導体集積回路。

【書類名】明細書

【発明の名称】サンプルホールド方法

【技術分野】

【0001】

本発明は、各種のデータ分析用途等に好適なサンプルホールド方法に係り、特に、連続的に到来する一連のデータの中で、所定のトリガ信号の到来タイミングの前後それぞれ所定区間内に存在する一連のデータのみを確実にサンプルホールドするための方法に関するものである。

【背景技術】

【0002】

連続的に到来する一連のデータの中で、所定のトリガ信号の到来タイミングの前後それぞれ所定区間内に存在する一連のデータのみをサンプルホールドすることができれば、各種のデータ分析用途に便利である。

【0003】

例えば、玄関に防犯カメラを取り付けて来訪者を監視するような場合、来訪者の到来を別途設けたセンサや映像そのものの変化等に基づいて検知し、これをトリガとして検知後の防犯カメラからの映像データを一定期間分だけ保存することは従来より知られている（特許文献1参照）。このとき、検知後の一定期間分の映像データのみならず、検知前の一定期間分の映像データについても保存することができれば、それら保存された両映像データに基づいて映像を再生することによって、来訪者の様子をより詳細に観察することができる。

【0004】

また、複数の計測器からの計測データに基づいて対象物の状態を監視しつつ、それら計測データの示す特徴量が予め想定される事象発生時の特徴量と一致したことをトリガとして、その後の一定期間分の計測データを保存すると言ったことも監視システムの分野では知られている。このとき、トリガ発生後の一定期間分の計測データのみならず、トリガ発生前の一定期間分の計測データについても保存することができれば、それら保存された両計測データは、事象発生検知精度の検証や事象発生の予測に有効である。

【0005】

さらに、複数の計測器からの計測データに基づいて車両の状態を監視しつつ、それら計測データの示す特徴量が予め想定される事故発生時の特徴量と一致したことをトリガとして、トリガ発生後の一定期間分の計測データのみならず、トリガ発生前の一定期間分の計測データについても保存できるとすれば、それら保存された両計測データは事故原因の究明に有効である。

【特許文献1】特開平4-32390号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

この発明が解決しようとする課題は、連続的に到来する一連のデータの中で、所定のトリガ信号の到来タイミングの前後それぞれ所定区間内に存在する一連のデータのみを確実にサンプルホールドすることができるサンプルホールド方法及び装置を提供することにある。

【0007】

この発明が解決しようとする他の課題は、上記の課題を達成するために必要とされる記憶媒体の記憶容量を必要最小限に留め、かつトリガ信号の到来タイミング前の所定区間に含まれる一連のデータとトリガ信号の到来タイミング後の所定区間に含まれる一連のデータとを明確に分離してそれぞれを独立して管理できるサンプルホールド方法及び装置を提供することにある。

【0008】

この発明が解決しようとするさらに他の課題は、連続的に到来する一連のデータの中で

、所定のトリガ信号の到来タイミングの前後それぞれ所定区間内に存在する一連のデータのみを確実にサンプルホールドするための用途に好適な汎用性の高い半導体集積回路を提供することにある。

【0009】

この発明のさらに他の課題については、以下の記載を参照することにより当業者であれば容易に理解されるであろう。

【課題を解決するための手段】

【0010】

本発明のサンプルホールド方法は、連続的に到来する一連のデータの中で、所定のトリガ信号の到来タイミングの前後それぞれ所定区間内に存在する一連のデータのみをサンプルホールドするための方法である。この方法は、前記トリガ信号の到来タイミングの前側区間に対応する第1の記憶領域と前記トリガ信号の到来タイミングの後側区間に対応する第2の記憶領域とが定義された一次記憶媒体を用意する第1のステップと、到来する一連のデータを第1の記憶領域にアドレスを循環歩進させながら書き込む動作を前記トリガ信号が到来するまで継続する第2のステップと、前記トリガ信号が到来するのを待って、前記第1の記憶領域へのデータ書き込みを停止する代わりに、前記トリガ信号の到来以降に到来した一連のデータを第2の記憶領域へと書き込む第3のステップと、を具備して構成される。

【0011】

このような構成によれば、トリガ信号の到来以前に到来した一連のデータは一次記録媒体の第1の記憶領域に保存され、トリガ信号の到来以降に到来した一連のデータは一次記録媒体の第2の記憶領域に保存される。したがって、この方法によれば、必要とされる記憶媒体の記憶容量を必要最小限に留め、かつトリガ信号の到来タイミング前の所定区間に含まれる一連のデータとトリガ信号の到来タイミング後の所定区間に含まれる一連のデータとを明確に分離してそれぞれを独立して管理できる。

【0012】

このとき、前記一次記憶媒体がオプトメモリ等の高速記憶に適する不揮発性記憶媒体、又は電源バックアップされたDRAM等の揮発性記憶媒体とすれば、トリガ信号の到来と共に電源が断たれるような自体が発生したとしても、トリガ信号の到来タイミングの前後それぞれ所定区間内に存在する一連のデータを確実にサンプルホールドさせることができる。

【0013】

本発明の上記のサンプルホールド方法は、前記第3のステップが完了するのを待って、前記一次記憶媒体の第1及び第2の記憶領域に書き込まれたデータを二次記憶媒体へと転写する第4のステップをさらに有するようにしてもよい。

【0014】

このような構成によれば、一次記録媒体の第1の記憶領域に保存されたトリガ信号の到来以前に到来した一連のデータ及び一次記録媒体の第2の記憶領域に保存されたトリガ信号の到来以降に到来した一連のデータは、二次記録媒体に転写される。したがって、この方法によれば、必要とされる記憶媒体の記憶容量を必要最小限に留め、かつトリガ信号の到来タイミング前の所定区間に含まれる一連のデータとトリガ信号の到来タイミング後の所定区間に含まれる一連のデータとを明確に分離してそれぞれを独立して安全に管理でき、しかもサンプルホールドされたデータ列は最終的に二次記録媒体に保存されるから、次のサンプルホールド待機動作に支障を与えることがない。

【0015】

このとき、前記一次記憶媒体がDRAM等の高速記憶に適する揮発性記憶媒体であり、かつ前記二次記憶媒体がフラッシュメモリ、ハードディスク等の不揮発性記憶媒体であれば、記憶速度の高速化と保存データの安全性とを共に満足させることができる。

【0016】

なお、上述の2つの発明において、第1の記憶領域の記憶容量は第2の記憶領域の記憶

容量の整数倍（より好ましくは2倍）とすることが好ましい。このようにすれば、フレーム単位に区分された画像データや音声データ等を対象とする場合、第1の記憶領域に保存されたデータと第2の記憶領域に保存されたデータとのデータ列（フレーム）同士の照合処理が容易となる。

【0017】

本発明のサンプルホールド装置は、連続的に到来する一連のデータの中で、所定のトリガ信号の到来タイミングの前後それぞれ所定区間内に存在する一連のデータのみをサンプルホールドするための装置である。この装置は、一次記憶媒体と、前記一次記憶媒体に前記トリガ信号の到来タイミングの前側区間に対応する第1の記憶領域と前記トリガ信号の到来タイミングの後側区間に対応する第2の記憶領域とを定義するための領域定義データを記憶するための領域定義データ記憶手段と、到来する一連のデータを前記領域定義データにより定義される前記第1の記憶領域にアドレスを循環歩進させながら書き込む動作を前記トリガ信号が到来するまで継続する第1の書き込み制御手段と、前記トリガ信号が到来するのを待って、前記第1の記憶領域へのデータ書き込みを停止する代わりに、前記トリガ信号の到来以降に到来した一連のデータを前記領域定義データにより定義される前記第2の記憶領域へと書き込む第2の書き込み制御手段と、を具備して構成される。

【0018】

このような構成によれば、トリガ信号の到来以前に到来した一連のデータは一次記録媒体の第1の記憶領域に保存され、トリガ信号の到来以降に到来した一連のデータは一次記録媒体の第2の記憶領域に保存される。したがって、この方法によれば、必要とされる記憶媒体の記憶容量を必要最小限に留め、かつトリガ信号の到来タイミング前の所定区間に含まれる一連のデータとトリガ信号の到来タイミング後の所定区間に含まれる一連のデータとを明確に分離してそれぞれを独立して管理できる。

【0019】

このとき、前記一次記憶媒体がオプトメモリ等の高速記憶に適する不揮発性記憶媒体、又は電源バックアップされたDRAM等の揮発性記憶媒体であれば、トリガ信号の到来と共に電源が断たれるような自体が発生したとしても、トリガ信号の到来タイミングの前後それぞれ所定区間内に存在する一連のデータを確実にサンプルホールドさせることができる。

【0020】

本発明の上記サンプルホールド装置は、二次記憶媒体と、前記一次記憶媒体の第1及び第2の記憶領域に書き込まれたデータを前記二次記憶媒体に転写するデータ転写制御手段とをさらに有するようにしてもよい。

【0021】

このような構成によれば、一次記録媒体の第1の記憶領域に保存されたトリガ信号の到来以前に到来した一連のデータ及び一次記録媒体の第2の記憶領域に保存されたトリガ信号の到来以降に到来した一連のデータは、二次記録媒体に転写される。したがって、この方法によれば、必要とされる記憶媒体の記憶容量を必要最小限に留め、かつトリガ信号の到来タイミング前の所定区間に含まれる一連のデータとトリガ信号の到来タイミング後の所定区間に含まれる一連のデータとを明確に分離してそれぞれを独立して安全に管理でき、しかもサンプルホールドされたデータ列は最終的に二次記録媒体に保存されるから、次のサンプルホールド待機動作に支障を与えることがない。

【0022】

このとき、前記一次記憶媒体がDRAM等の高速記憶に適する揮発性記憶媒体であり、かつ前記二次記憶媒体がフラッシュメモリ、ハードディスク等の不揮発性記憶媒体であれば、記憶速度の高速化と保存データの安全性とを共に満足させることができる。

【0023】

本発明の上記サンプルホールド装置にあつては、外部からの入力データに基づいて領域定義データを内部生成する領域定義データ生成手段を有するようにしてもよい。ここで、「領域定義データ」とは、先に述べたように、前記一次記憶媒体に前記前側区間に対応す

る第1の記憶領域と前記後側区間に対応する第2の記憶領域とを定義するためのデータであり、例えば当該領域の先頭アドレスや末尾アドレス、先頭アドレスからの最大バイト数等のことを意味している。このような構成によれば、外部から入力データを与えることにより、領域定義データを適切に設定することができる。

【0024】

このとき、前記外部からの入力データに第1の記憶領域の容量を示すデータと第2の記憶領域の容量を示すデータとの双方を含ませおき、前記領域定義データ生成手段はそれら2つのデータに基づいて領域定義データを生成するようにしてもよい。このような構成によれば、外部から入力データを与えることにより、第1の記憶領域の容量と第2の記憶領域の容量とを個別に任意の大きさに設定することができる。

【0025】

また、前記外部からの入力データに第1の記憶領域の容量を示すデータは含ませるものの、第2の記憶領域の容量を示すデータは含ませないでおき、前記領域定義データ生成手段は第1の領域の容量を示すデータのみに基づいて領域定義データを生成するようにしてもよい。このような構成によれば、予め第1の記憶領域の容量と第2記憶領域の容量との間に適当な相関を設けておくことにより、第1の記憶領域の容量のみを示す入力データを与えるだけで、第1の記憶容量と第2の記憶容量とを適切に設定することができる。

【0026】

なお、上述の2つの発明において、第1の記憶領域の記憶容量は第2の記憶領域の記憶容量の整数倍（より好ましくは2倍）とすることが好ましい。このようにすれば、フレーム単位に区分された画像データや音声データ等を対象とする場合、第2の記憶領域の容量を例えばフレームの大きさに対応させておくことにより、第1の記憶領域に保存されたデータと第2の記憶領域に保存されたデータとのデータ列同士の照合処理が容易となる。

【0027】

別の一面から見た本発明は、上記の方法及び装置を実施するために好適な汎用性の高い半導体集積回路を提供する。この半導体集積回路は、サンプル対象となる一連のデータが入力される第1のポートと、所定のトリガ信号が入力される第2のポートと、所定の一次記憶媒体へと接続される第3のポートと、サンプルホールドされた一連のデータを出力するための第4のポートと、第3のポートに接続された一次記憶媒体に第1の記憶領域と第2の記憶領域とを定義する領域定義データを記憶するための領域定義データ記憶手段と、第1のポートから入力される一連のデータを第3のポートに接続された記憶媒体の第1の記憶領域にアドレスを循環歩進させながら書き込む動作を、第2のポートからトリガ信号が入力されるまで継続する第1の書き込み制御手段と、第2のポートからトリガ信号が入力されるのを待って、記憶媒体の第1の記憶領域へのデータ書き込みを停止する代わりに、トリガ信号の到来以降に到来した一連のデータを記憶媒体の第2の記憶領域へと書き込む第2の書き込み制御手段と、第3のポートに接続された一次記憶媒体の第1の記憶領域及び第2の記憶領域に記憶されたデータを第4のポートへと送り出すための制御を司るデータ読み出し制御手段と、を具備して構成される。

【0028】

このような構成によれば、一次記憶媒体を第3のポートに接続した状態において、第1のポートにサンプル対象となる一連のデータを、又第2のポートに所定のトリガ信号をそれぞれ与えるだけで、一次記憶媒体には第1及び第2の記憶領域が適切に定義され、さらにトリガ信号の到来と共に、一次記憶媒体の第1の記憶領域にはトリガ信号到来直前一定区間のデータ列が保存され、一次記憶媒体の第2の記憶領域にはトリガ信号到来直後一定区間のデータ列が保存されることとなる。その後、一次記憶媒体に保存されたこれらのデータ列は、第4のポートから外部へと読み出されることとなる。

【0029】

このとき、前記一次記憶媒体がオプトメモリ等の高速記憶に適する不揮発性記憶媒体、又は電源バックアップされたDRAM等の揮発性記憶媒体であれば、トリガ信号の到来と共に電源が断たれるような事態（例えば、車両のデータロガーとして使用した場合におけ

る車両の衝突事故等)が発生したとしても、トリガ信号の到来タイミングの前後それぞれ所定区間内に存在する一連のデータを確実にサンプルホールドさせることができる。

【0030】

なお、以上説明した第1乃至第4のポートは必ずしもそれぞれ独立したポートであることを意味するものではなく、1個のポートが2以上のポートの機能を実現するものであってもよい。例えば、物理的に1個のポートがサンプル対象となる一連のデータを入力するための第1のポートと所定のトリガ信号を入力するための第2のポートの機能に兼用されていてもよい。

【0031】

本発明の上記半導体集積回路においては、当該半導体集積回路の内部のみならず、外部接続される記憶媒体並びに外部接続されて動作クロックを当該半導体集積回路に対して供給する発振器に対しても電源を供給する電源制御部を有するようにしてもよい。このような構成によれば、記憶媒体並びにクロック発振器の側では電源を用意する必要がないので、その分だけ設計の容易化が図られる。このとき、前記電源制御部から供給される電源を停電時に所定時間保持するためのスーパーキャパシタを接続するための外部端子を有するようにすれば、これに適当な容量を有するスーパーキャパシタを外部接続することで、トリガ信号の到来と共に停電が生じたような場合であっても、動作クロック発振器並びに記憶媒体の機能を正常に維持することにより、サンプルホールド処理動作の確実性を保証することができる。

【0032】

本発明の上記半導体集積回路においては、制御用データが入力される第5のポートと、前記第5のポートから入力される制御用データに基づいて前記領域定義データを内部生成する領域定義データ生成手段をさらに含むようにしてもよい。このような構成によれば、適当な制御用データを外部から第5のポートに与えることで、様々なサンプリングデータに合わせて適切な記憶領域を容易に設定することができる。

【0033】

このとき、前記外部からの制御用データに第1の記憶領域の容量を示すデータと第2の記憶領域の容量を示すデータとの双方を含ませておき、前記領域定義データ生成手段はそれら2つのデータに基づいて領域定義データを生成するようにしてもよい。このような構成によれば、外部から制御用データを与えることにより、第1の記憶領域の容量と第2の記憶領域の容量とを個別に任意の大きさに設定することができる。

【0034】

また、前記外部からの制御用データに第1の記憶領域の容量を示すデータは含ませるものの、第2の記憶領域の容量を示すデータは含ませないでおき、前記領域定義データ生成手段は第1の領域の容量を示すデータのみに基づいて領域定義データを生成するようにしてもよい。このような構成によれば、予め第1の記憶領域の容量と第2記憶領域の容量との間に適当な相関を設けておくことにより、第1の記憶領域の容量のみを示す制御用データを与えるだけで、第1の記憶容量と第2の記憶容量とを適切に設定することができる。

【0035】

別の一面から見た本発明の半導体集積回路は、サンプル対象となる一連のデータが入力される第1のポートと、所定のトリガ信号が入力される第2のポートと、所定の一次記憶媒体へと接続される第3のポートと、所定の二次記憶媒体へと接続される第4のポートと、サンプルホールドされたデータを読み出すための第5のポートと、第3のポートに接続された一次記憶媒体に第1の記憶領域と第2の記憶領域とを定義する領域定義データを記憶するための領域定義データ記憶手段と、第1のポートから入力される一連のデータを第3のポートに接続された一次記憶媒体の第1の記憶領域にアドレスを循環歩進させながら書き込む動作を、第2のポートからトリガ信号が入力されるまで継続する第1の書き込み制御手段と、第2のポートからトリガ信号が入力されるのを待って、一次記憶媒体の第1の記憶領域へのデータ書き込みを停止する代わりに、トリガ信号の到来以降に到来した一連のデータを一次記憶媒体の第2の記憶領域へと書き込む第2の書き込み制御手段と、第

3のポートに接続された一次記憶媒体の第1及び第2の記憶領域に書き込まれたデータを第4のポートに接続された二次記憶媒体へと転写するデータ転写制御手段と、第4のポートに接続された二次記憶媒体に記憶されたデータを第5のポートへと送り出すための制御を司るデータ読み出し制御手段と、を具備して構成される。

【0036】

このような構成によれば、一次記憶媒体を第3のポートに、二次記憶媒体を第4のポートにそれぞれ接続した状態において、第1のポートにサンプル対象となる一連のデータを、又第2のポートに所定のトリガ信号をそれぞれ与えるだけで、一次記憶媒体には第1及び第2の記憶領域が適切に定義され、さらにトリガ信号の到来と共に、一次記憶媒体の第1の記憶領域にはトリガ信号到来直前一定区間のデータ列が、一次記憶媒体の第2の記憶領域にはトリガ信号到来直後一定区間のデータ列がそれぞれ保存されると共に、それらのデータ列はさらに二次記憶媒体へと転写されることとなる。その後、二次記憶媒体に保存されたこれらのデータ列は、第4のポートから外部へと読み出されることとなる。

【0037】

このとき、一次記憶媒体がDRAM等の高速記憶に適する揮発性記憶媒体であり、かつ二次記憶媒体がフラッシュメモリ、ハードディスク等の不揮発性記憶媒体であれば、記憶速度の高速化と保存データの安全性とを共に満足させることができる。

【0038】

本発明の上記半導体集積回路にあつては、当該半導体集積回路の内部のみならず、外部接続される一次及び二次記憶媒体、並びに、外部接続されて動作クロックを当該半導体集積回路に対して供給する発振器に対しても電源を供給する電源制御部を有するようにしてもよい。このような構成によれば、一次及び二次記憶媒体並びにクロック発振器の側では電源を用意する必要がないので、その分だけ設計の容易化が図られる。このとき、前記電源制御部から供給される電源を停電時に所定時間保持するためのスーパーキャパシタを接続するための外部端子を有するようにすれば、これに適当な容量を有するスーパーキャパシタを外部接続することで、トリガ信号の到来と共に停電が生じたような場合であっても、動作クロック発振器並びに一次及び二次記憶媒体の機能を正常に維持することにより、サンプルホールド処理動作の確実性を保証することができる。例えば、トリガ信号の到来と共に電源が断たれるような事態（例えば、車両のデータロガーとして使用した場合における車両の衝突事故等）が発生したとしても、トリガ信号の到来タイミングの前後それぞれ所定区間内に存在する一連のデータを確実に一次記憶媒体にサンプルホールドさせ、さらにそれらのデータを二次記録媒体へと転写して待避させることができる。

【0039】

本発明の上記半導体集積回路においては、制御用データが入力される第6のポートと、前記第6のポートから入力される制御用データに基づいて前記領域定義データを内部生成する領域定義データ生成手段をさらに含むようにしてもよい。このような構成によれば、適当な制御用データを外部から第6のポートに与えることで、様々なサンプリングデータに合わせて適切な記憶領域を容易に設定することができる。

【0040】

このとき、前記外部からの制御用データに第1の記憶領域の容量を示すデータと第2の記憶領域の容量を示すデータとの双方を含ませておき、前記領域定義データ生成手段はそれら2つのデータに基づいて領域定義データを生成するようにしてもよい。このような構成によれば、外部から制御用データを与えることにより、第1の記憶領域の容量と第2の記憶領域の容量とを個別に任意の大きさに設定することができる。

【0041】

また、前記外部からの制御用データに第1の記憶領域の容量を示すデータは含ませるものの、第2の記憶領域の容量を示すデータは含ませないでおき、前記領域定義データ生成手段は第1の領域の容量を示すデータのみに基づいて領域定義データを生成するようにしてもよい。このような構成によれば、予め第1の記憶領域の容量と第2記憶領域の容量との間に適当な相関を設けておくことにより、第1の記憶領域の容量のみを示す制御用データ

タを与えるだけで、第1の記憶容量と第2の記憶容量とを適切に設定することができる。

【0042】

なお、上述の2つの発明において、第1の記憶領域の記憶容量は第2の記憶領域の記憶容量の整数倍（より好ましくは2倍）とすることが好ましい。このようにすれば、フレーム単位に区分された画像データや音声データ等を対象とする場合、第2の記憶領域の容量を例えばフレームの大きさに対応させておくことにより、第1の記憶領域に保存されたデータと第2の記憶領域に保存されたデータとのデータ列同士の照合処理が容易となる。

【発明の効果】

【0043】

本発明のサンプルホールド方法及び装置によれば、連続的に到来する一連のデータの中で、所定のトリガ信号の到来タイミングの前後それぞれ所定区間内に存在する一連のデータのみを確実にサンプルホールドさせることができる。

【0044】

また、本発明のサンプルホールド方法及び装置によれば、必要とされる記憶媒体の記憶容量を必要最小限に留め、かつトリガ信号の到来タイミング前の所定区間に含まれる一連のデータとトリガ信号の到来タイミング後の所定区間に含まれる一連のデータとを明確に分離してそれぞれを独立して管理することができる。

【0045】

さらに、本発明のサンプルホールド用の半導体集積回路によれば、一次記憶媒体及び／又は二次記憶媒体を所定のポートにそれぞれ接続した状態において、第1のポートにサンプル対象となる一連のデータを、又第2のポートに所定のトリガ信号をそれぞれ与えるだけで、一次記憶媒体には第1及び第2の記憶領域が適切に定義され、さらにトリガ信号の到来と共に、一次記憶媒体の第1の記憶領域にはトリガ信号到来直前一定区間のデータ列が、一次記憶媒体の第2の記憶領域にはトリガ信号到来直後一定区間のデータ列がそれぞれ保存されると共に、それらのデータ列は必要によりさらに二次記憶媒体へと転写されたのち、一次記憶媒体又は二次記憶媒体に保存されたこれらのデータ列は、所定のポートから外部へと読み出し可能となる。

【発明を実施するための最良の形態】

【0046】

以下に、本発明の好適な実施の一形態を添付図面を参照しつつ詳細に説明する。尚、本発明の技術的範囲は以下の実施の形態により限定されるものではなく、特許請求の範囲の記載によってのみ特定されることは言うまでもない。

【0047】

本発明に係るサンプルホールド装置の構成図が図1に示されている。同図に示されるように、このサンプルホールド装置は、サンプルホールド用に特別に設計された半導体集積回路1と、一次記憶媒体として機能するDRAM2と、二次記憶媒体として機能するフラッシュメモリ（FLASH）3と、この半導体集積回路1に対して動作クロックを供給するためのクロック発振器4とを主体として構成されている。

【0048】

半導体集積回路1には複数の外部ポートが設けられている。ポートP11は、サンプル対象となる一連のデータがパラレルに入力されるポートである。図において、符号PDATA（IN）と記されているのがパラレル入力データである。ポートP12は、サンプル対象となる一連のデータがシリアルに入力されるポートである。図において、S-DATA（IN）と記されているのがパラレル入力データである。このように、この半導体集積回路1にあっては、サンプル対象となる一連のデータを、パラレルデータとシリアルデータとの何れにおいても入力可能となされている。

【0049】

ポートP2は、所定のトリガ信号が入力されるポートである。図においてTRGと記されているのがトリガ信号である。後に詳細に説明するように、この半導体集積回路1にあっては、ポートP11又はポートP12の何れかから入力された一連のサンプル対象デー

タ列の中で、トリガ信号TRGの到来前後所定期間内に存在するデータ列のみをサンプルホールド可能となされている。

【0050】

ポートP3は、一次記憶媒体であるDRAM2を接続するためのポートである。後に詳細に説明するように、サンプルホールド処理が実行される結果、トリガ信号TRGの到来前後一定期間内に存在するデータ列は、まず、この一次記憶媒体であるDRAM2に格納される。尚、このDRAM2に対する電源PW2は半導体集積回路1から供給される。

【0051】

ポートP4は、二次記憶媒体であるフラッシュメモリ（FLASH）3を接続するためのポートである。後に詳細に説明するように、DRAM2に格納されたサンプルホールドデータは、サンプルホールド処理の完了と共に、このフラッシュメモリ（FLASH）3に転写保存される。尚、このフラッシュメモリ（FLASH）3の電源PW3についても半導体集積回路1から供給される。

【0052】

ポートP5は、ホールドデータを外部へと読み出すためのポートである。図において、H-DATA（OUT）と記されているのが読み出されたサンプルホールドデータである。この実施形態にあつては、サンプルホールドデータH-DATA（OUT）はフラッシュメモリ（FLASH）3から読み出され、ポートP5から外部へと出力される。

【0053】

ポートP6は、パソコン（PC）から半導体集積回路1に対して制御データ等を送り込むためのポートである。この実施形態にあつては、パソコン（PC）との通信方式としてUSBが利用されているが、通信方式等はこれに限定されるものではない。

【0054】

ポートP7は、クロック発振器4で生成される動作クロックCLK0を半導体集積回路1に対して供給するためのポートである。すなわち、半導体集積回路1は後に詳細に説明するように、クロック同期型のワイヤドロジック回路で構成されており、その動作に必要とされる動作クロックCLK0がポートP7を介してクロック発振器4から供給される。尚、クロック発振器4に対する電源PW4についても、半導体集積回路1側から供給される。

【0055】

次に、代表的な外部端子について説明する。外部端子T1は電源VDDを半導体集積回路1に供給するための端子である。外部端子T1から供給された電源VDDは、半導体集積回路1の内部の電源制御部180に供給される。電源制御部180では、こうして得られた電源VDDを基に、電圧安定化並びに電圧調整を行うことによって、4系統の電源PW1～PW4を出力する。そのうち電源PW1は半導体集積回路1の内部の各回路に供給される。電源PW2は先に説明したようにポートP3に接続されたDRAM2へと供給される。電源PW3は先に説明したようにポートP4に接続されたフラッシュメモリ（FLASH）3へと供給される。電源PW4は先に説明したようにポートP7に接続されたクロック発振器4へと供給される。外部端子T2、T3はスーパーキャパシタ5を外部接続するための端子である。このスーパーキャパシタ5に蓄えられた電荷は、電源制御部180から出力される4系統の電源PW1～PW4を停電時に所定時間保持するために利用される。この例にあつては、トリガ信号TRGが到来した後、直ちに電源VDDが断たれたとしても、少なくとも、サンプルホールド動作並びに転写動作が完了するまでの間は、電源PW1～PW4が正常に保持されるように、スーパーキャパシタ5の容量が決定されている。

【0056】

次に、半導体集積回路1の内部構成を詳細に説明する。この半導体集積回路1の内部には、メモリ制御部110と、制御用CPU120と、ヘッダ付加制御部130と、データビット制御部140と、シリアル／パラレル変換部150と、シリアル／パラレル切替制御部160と、ORゲート170と、電源制御部180（先に説明済）とが含まれる他、

先ほど説明した各ポート P12, P11, P2~P7に対応して、インタフェース回路 101~105が含まれている。

【0057】

メモリ制御部 110は、ポート P11からのパラレル入力データ P-DATA (IN) 又はポート P12からのシリアル入力データ S-DATA (IN) を DRAM2の第1及び第2の記憶領域（詳細は後述）へとDMA転送するための制御機能、DRAM2の第1及び第2の記憶領域に格納されたデータをフラッシュメモリ (FLASH) 3の所定領域にDMA転送（転写）するための制御機能、フラッシュメモリ (FLASH) 3の所定領域に格納されたデータをポート P5から外部へと読み出すための制御機能等を実現するクロック同期型のワイヤドロジック回路で構成されている。このメモリ制御部 110内には、DMAコントローラ (DMAC) 110aとフラッシュメモリ (FLASH) 110bとが内蔵されている。DMAコントローラ (DMAC) 110aは上述の各種のデータ転送機能に利用される。フラッシュメモリ 110bには、DRAM2内の第1及び第2の記憶領域を定義するための領域定義データや、フラッシュメモリ (FLASH) 3内の記憶領域を定義するための領域定義データ等が格納される。これらの記憶領域定義データは、後に詳細に説明するように、制御用CPU120を介して、外部のパソコン (PC) から書き換え可能となされている。これにより、この半導体集積回路1は、任意のデータ列並びにサンプルホールド仕様に対応が可能な汎用性が付与されている。尚、メモリ制御部 110の機能については、後に図5及び図6のフローチャートを参照してより詳細に説明する。

【0058】

制御用CPU120はマイクロプロセッサを主体として構成されており、(1) ポート P6に接続されたパソコン (PC) との間でUSBインタフェース 105を介して通信を行いつつ、ユーザからの入力データに基づいて各種の設定処理を実行する機能、(2) メモリ制御部 110, ヘッド付加制御部 130, データビット制御部 140を統括管理することによって、各種のシステムサポート処理を実行する機能等を司るものである。この制御用CPU120の内部にはフラッシュメモリ (FLASH) 120aが内蔵されている。このフラッシュメモリ (FLASH) 120aには、パソコン (PC) を介してユーザから取り込まれた各種のデータが格納される。尚、この制御用CPU120の機能については、後に図2及び図3のフローチャートを参照して詳細に説明する。

【0059】

ヘッド付加制御部 130は、ポート P11から供給されるパラレル入力データ P-DATA (IN) 又はポート P12から供給されるシリアル入力データ S-DATA (IN) の各データに対してヘッド情報を付加するためのワイヤドロジック回路で構成されている（図4 (b) 参照）。なお、図において、403はデータ部分、404はヘッド部分である。ここで付加されるヘッド情報には、到来する一連のデータの順番を示す数値情報が少なくとも含まれている。この数値情報は、所定の最小値と最大値との間で循環して付加されるようになっており、後にサンプルホールドデータを読み出して整頓する処理は、このデータ順番を示す数値情報に基づいて行われる。

【0060】

データビット制御部 140は、制御用CPU120の管理下にあつて、ヘッド付加制御部 130, シリアル/パラレル変換部 150, パラレルインタフェース 101, シリアルインタフェース 102に対するデータビット制御を実現する。これらのデータビット制御が実現されることによって、ヘッド付加制御部 130においてはヘッド情報の付加が指定されたビットに対して行われ、シリアル/パラレル変換部 150においてはデータビット列についてシリアル/パラレル変換が適切に行われ、インタフェース 101, 102においては入力データビットの認識が適切に行われる。

【0061】

シリアル/パラレル変換部 150は、ポート P12に供給され且つシリアルインタフェース 102を介して取り込まれたシリアル入力データ S-DATA (IN) をパラレルデ

ータに変換する回路であり、こうして得られたパラレルデータはORゲート170を介して先ほど説明したヘッダ付加制御部130へと供給される。

【0062】

シリアル／パラレル切替制御部160は、データビット制御部140の制御下において、パラレルインタフェース101とシリアルインタフェース102との何れかを択一的に能動化する回路である。このシリアル／パラレル切替制御部160が適切に機能することによって、この半導体集積回路1が取り扱う入力データをシリアル又はパラレルの何れにも設定することが可能となる。

【0063】

クロック制御部190は、ポートP7を介してクロック発振器4から供給される動作クロック（CLK0）と、パラレルインタフェース101から取り込まれたクロックCLK（P）と、シリアルインタフェース102から取り込まれたクロックCLK（S）とに基づいて、n系統の制御用クロックCLK1～nを生成出力する。こうして得られた制御クロックCLK1～nは、半導体集積回路1内の各回路に必要なに応じて供給され、クロック同期型ワイヤドロジック回路の正常な動作に寄与することとなる。このクロック制御部190内にはフェーズロックドループ回路（PLL）190aが内蔵されている。このフェーズロックドループ回路（PLL）190aは各種クロック間の同期を取ったり、あるいは周波数合成作用に寄与するものである。

【0064】

次に、図2及び図3のフローチャートを参照して制御用CPU120の機能についてより詳細に説明する。先に説明したように、制御用CPU120はシステムサポート処理と各種設定処理とを主として実行するように仕組みられている。

【0065】

制御用CPUの動作を示すゼネラルフローチャートが図2に示されている。同図において、電源投入（Power on）によって処理が開始されると、USBインタフェース105を介してポートP6に接続されたパソコン（PC）と通信を行い、パソコン（PC）から送られてきた情報を受信し、これをフラッシュメモリ120aに格納する（ステップ201）。この情報の中には、動作モードフラグの制御情報も含まれており、これにより、パソコン（PC）の側から制御用CPU120の動作モードを切替可能となされている。この受信処理（ステップ201）に続いて動作モード判定処理が実行され（ステップ202）、ここで動作モードが設定モードと判定されれば各種設定処理（ステップ203）が実行されるのに対し、運用モードと判定されればシステムサポート処理（ステップ204）が実行される。各種設定処理（ステップ203）においては、サンプル対象データの到来速度、データフォーマット、トリガ前ホールド期間、トリガ後ホールド期間、その他各種のサンプルホールド仕様に応じた設定処理が実行される。後に詳細に説明するように、この各種設定処理（ステップ203）には、第1の記憶領域及び第2の記憶領域に関する領域定義データ生成処理も含まれている。一方、システムサポート処理（ステップ204）では、先に説明したように、メモリ制御部110、ヘッダ付加制御部130、データビット制御部140を統括管理することによって、半導体集積回路1内のシステムをサポートする処理が実行される。

【0066】

各種設定処理（ステップ203）の詳細フローチャートが図3に示されている。このフローチャートは、各種設定処理の中で、記憶領域定義データの生成処理だけを取り出して示すものである。同図において処理が開始されると、パソコン（PC）からの受信データの中から命令語が読み出され、その解釈が行われる（ステップ301）。ここで、解釈された命令が記憶領域定義命令であると判定された場合に限り（ステップ302YES）、以下の処理が実行されるのに対し、その他の命令であると判定された場合には（ステップ302NO）、それぞれ該当する他の命令の処理が実行される。

【0067】

記憶領域定義命令であると判定されると（ステップ302YES）、続いて指定方法の

種別が判定される。この実施形態にあつては、トリガタイミングの前後所定区間に存在するデータ列をサンプルホールドするについて、前側及び後側の双方の区間を個別に指定して記憶領域を定義する場合と、前側区間のみについて指定し、後側区間については予め設定されたアルゴリズムに従って、システムが自動的に設定する場合の、2つの指定方法を選択可能となされている。ここで、両側指定と判定されると（ステップ303）、続いて使用データの種別の判定が行われる（ステップ304）。この例にあつては、トリガタイミングの前側区間並びに後側区間のデータ列をサンプルするについて、これを『時間』で指定する場合と『データ数』で指定する場合との選択を可能としている。ここで、使用データの種別が『時間』と判定されると、時間からデータ数への変換処理が行われるのに対し（ステップ305）、使用データ種別が『データ数』と判定されれば、使用データはそのままの状態とされる。続いて、こうして得られた前側データ数に基づいてDRAM2内に第1の記憶領域が定義される（ステップ306）。この第1の記憶領域の定義は、図4（a）に示されるように、第1の記憶領域401の先頭アドレスAD11と末尾アドレスAD12とを算出することにより行われる。続いて、後側データ数に基づいてDRAM2内の第2の記憶領域が定義される。この第2の記憶領域の定義は、図4（a）に示されるように、DRAM2内の第2の記憶領域402の先頭アドレスAD21と末尾アドレスAD22とを求めることにより行われる。以上の処理（ステップ306、307）で得られた記憶領域定義データ（AD11、AD12、AD21、AD22）はメモリ制御部110へと送られ、メモリ制御部110内のフラッシュメモリ110bに保存される。以後、メモリ制御部110では、フラッシュメモリ110b内に格納された記憶領域定義データ（AD11、AD12、AD21、AD22）を適宜参照することにより、データ入力ポートP11、P12からDRAM2へのデータ転送処理、DRAM2からフラッシュメモリ（FLASH）3へのデータ転送処理、フラッシュメモリ（FLASH）3からデータ出力ポートP5へのデータ転送処理を実行することとなる。

【0068】

次に、メモリ制御部110の動作について説明する。メモリ制御部の動作を示すゼネラルフローチャートが図5に示されている。同図において、処理が開始されると、制御用CPU120からサンプルホールド指示が与えられたか（ステップ501）、読出指示が与えられたか（ステップ502）の判定が行われ、サンプルホールド指示が与えられた場合には（ステップ501YES）、サンプルホールド処理（ステップ503）が実行されるのに対し、読出指示が与えられた場合には（ステップ502YES）、ホールドデータ読出処理（ステップ504）が実行される。このホールドデータ読出処理（ステップ504）では、フラッシュメモリ3に格納されたホールドデータH-DATA（OUT）は、データ出力ポートP5へと転送される。

【0069】

サンプルホールド処理の詳細フローチャートが図6に示されている。同図において処理が開始されると、まずフォーマッティング処理が実行されて、DRAM2及びフラッシュメモリ（FLASH）3に対するフォーマッティングが行われる（ステップ601）。

【0070】

続いて、DMAコントローラ（DMAC）110aに対して、第1の記憶領域の先頭アドレスAD11及び末尾アドレスAD12をセットした後、当該DMAコントローラ（DMAC）110aを起動することによって（ステップ603）、ヘッダ付加制御部130から取り込まれるデータ列をDRAM2内の第1の記憶領域401へとDMA転送する処理が開始される。このとき、S/P切替制御部160の作用によって、パラレルポートP11が選択されていれば、パラレル入力データP-DATA（IN）がDRAM2内の第1の記憶領域401へと転送される。逆に、シリアル入力ポートP12が選択されていれば、シリアル入力データS-DATA（IN）がDRAM2内の第1の記憶領域401へと転送される。このようにして、パラレル入力ポートP11又はシリアル入力ポートP12から到来する一連のデータ列は、図4（a）に示される第1の記憶領域401の先頭アドレスAD11から末尾アドレスAD12へ向けて順次書き込まれていく。一方、DMA

転送処理の実行中、トリガ信号TRGの到来（ステップ604）及び転送アドレスADと末尾アドレスAD12との一致（ステップ605）の確認が常時行われており、転送アドレスADが第1記憶領域401の末尾アドレスAD12と一致するたびに（ステップ605YES）、DMAコントローラ（DMAC）110aの再起動が実行される（ステップ603）。その結果、第1の記憶領域401に対して、先頭アドレスAD11から末尾アドレスAD12までのデータ書き込みが一巡すると、再び書込アドレスは先頭アドレスAD11へ戻って第1の記憶領域401に対する上書き処理が繰り返し実行されることとなる。すなわち、データ入力ポートP11又はP12から到来するデータ列は、メモリ制御部110の作用によって、DRAM2内に定義された第1の記憶領域401に対して、書込アドレスADを循環歩進させつつ、書き込まれていき、いわゆるFIFO（First In First Out）処理がなされることとなる。

【0071】

この状態において、ポートP2に対してトリガ信号TRGが到来して、トリガ到来が確認されると（ステップ604YES）、DMAコントローラ（DMAC）110aに第2の記憶領域402の先頭アドレスAD21及び末尾アドレスAD22をセットした後（ステップ606）、当該DMAコントローラ（DMAC）110aに対して起動をかけることによって（ステップ607）、第2の記憶領域402に対するDMA転送処理が開始される。これにより、データ入力ポートP11又はP12へと供給されるデータ列は、ヘッダ付加制御部130を経由した後、DRAM2内の第2の記憶領域402へと転送記憶される。以後、転送先アドレスADが第2の記憶領域402の末尾アドレスAD22と一致すると（ステップ608YES）、DRAM2内の第2の記憶領域402への転送処理は終了する。

【0072】

こうして、第1の記憶領域401には、トリガ信号TRGの到来前所定区間の一連のデータが格納されるのに対し、第2の記憶領域402には、トリガ信号TRGの到来後所定区間内のデータが格納されることとなる。

【0073】

続いて、DRAM2内の第1の記憶領域401及び第2の記憶領域402に格納されたトリガ到来前後所定区間の一連のデータは、フラッシュメモリ（FLASH）3内の所定エリアへと転送（転写）されて、待避保存される。以後、電源が断たれたとしても、フラッシュメモリ（FLASH）3内の一連のデータは確実に保存される。

【0074】

その後、図5に戻って、パソコン（PC）等から読出指示が与えられれば（ステップ502YES）、ホールドデータ読出処理（ステップ504）が実行されて、フラッシュメモリ3内の所定のエリアに格納されたホールドデータH-DATA（OUT）は、出力ポートP5から外部へと読み出される。このとき、フラッシュメモリ3のデータをヘッダ情報（ヘッダ部分403）に基づいて到来順に並べ替えたのち、ホールドデータH-DATA（OUT）として出力ポート5から外部へと読み出されるようにすれば、その後のホールドデータの並べ替えの手間が省かれ、ホールドデータの取り扱いが容易となる。

【0075】

また、この実施形態においては、外部端子T2、T3間にはスーパーキャパシタ5が接続されているため、外部端子T1に供給された電源VDDが断たれたとしても、電源制御部から出力される4系統の電源PW1～PW4は、少なくともトリガ信号が到来した後、第2の記憶領域402へのデータ書込及びDRAM2からフラッシュメモリ（FLASH）3へのデータ転写が完了するまで、正常に保持されるため、このサンプルホールド装置が例えば車両の事故記録装置等として採用されたような場合であっても、事故によりトリガが発生して同時に電源が断たれたとしても、事故時の各種データをトリガの前後所定期間にわたってサンプルホールドし、これをフラッシュメモリ3内へと転送保存して、事故の原因究明に役立たせることが可能となる。

【0076】

図7には本発明の作用説明図が示されている。いま仮に、同図(a)に示されるように、任意のアナログデータが時系列的に到来しているものと想定する。このとき同図(b)に示されるように、例えば入力データの値が所定の閾値 T_H を越えたことによりトリガ信号が生成されると、同図(c)に示されるように、トリガ信号の到来直前 T_1 秒及びトリガ直後 T_2 秒の区間に存在するデータ列のみが、同図(c)に示されるようにサンプルホールドされる。尚、この例では、 $T_1 = 2 \times T_2$ の関係に設定されている。そのため、車両の事故記録装置等として採用すれば、事故と同時にエアバッグ起動信号によりトリガ信号を発生し、サンプルホールド装置を起動させれば、事故前 T_1 秒及び事故後 T_2 秒に関する一連のデータをサンプルホールドしてフラッシュメモリ(F L A S H) 3に保存できるため、同装置を比較的堅牢なケースに収容しておけば、事故後にフラッシュメモリ(F L A S H) 3の保存データを読み出すことによって、事故原因の究明に役立たせることができる。

【0077】

尚、以上の実施形態においては、二次記憶媒体としてフラッシュメモリ(F L A S H) 3を設けることによって、サンプルホールドデータの保存確実性を担保するようにしたが、例えばスーパーキャパシタ5の容量を増加させ、D R A M 2の記憶データを例えば1週間～1ヶ月程度保持可能とすれば、必ずしも二次記憶媒体を設ける必要はない。その場合には、図6に示されるサンプルホールド処理の詳細フローチャートにおいて、D R A M 2からフラッシュメモリ(F L A S H) 3に対する転写処理(ステップ609)を省略することができる。

【0078】

以上説明したように、この実施形態によれば、ポートP11又はP12にサンプル対象となるデータ列を、ポートP2にトリガ信号を、ポートP3にD R A M 2を、ポートP4にフラッシュメモリ(F L A S H) 3を、ポートP7にクロック発振器4をそれぞれ接続しておくだけで、トリガ信号T R Gの到来と共に、その前後所定区間に存在する一連のデータ列のみをD R A M 2内の第1の記憶領域401及び第2の記憶領域402へとサンプルホールドすると共に、その内容を直ちにフラッシュメモリ(F L A S H) 3へと待避させることができる。然る後、パソコン(P C)から読出指令を与えれば、フラッシュメモリ(F L A S H) 3に格納されたサンプルホールドデータは、メモリ制御部110の作用によってポートP5へと読み出すことができる。このとき読み出される各データには、ヘッダ付加制御部130の作用によってヘッダ情報が含まれると共に、そのヘッダ情報の中にはデータの順番を示す数値が付加されているため、この数値に基づいて読み出されたサンプルホールドデータを時系列的に容易に並べ替えることができる。

【0079】

また、D R A M 2、フラッシュメモリ(F L A S H) 3及びクロック発振器4は何れも半導体集積回路1内の電源制御部180から給電されると共に、電源制御部180には電源P W 1～P W 4を停電後一定時間保持するためのスーパーキャパシタ5が接続されているため、このサンプルホールド装置を例えば車両の事故記録装置等に応用した場合であっても、仮に事故によりトリガ信号を発生させてサンプルホールド処理を起動した後、電源V D Dが断たれるような事態が発生しても、D R A M 2、フラッシュメモリ(F L A S H) 3及びクロック発振器4の各動作は何れも正常に維持されるため、予定されたサンプルホールド動作を確実に実行させることができる。

【0080】

しかも、半導体集積回路1内にはマイクロプロセッサを含む制御C P U 120を内蔵して、パソコン(P C)との通信を可能としているため、入力ポート(P11, P12)の切替、データビット数の設定、記憶領域の設定等の各種の設定を、パソコン(P C)からの入力データに基づいて、容易に行うことができ、極めて汎用性の高い半導体集積回路を実現することができる。

【0081】

殊に、この実施形態にあつては、図3に示されるように、制御用データが入力されるポ

ート P 6 と、ポート P 6 から入力される制御用データに基づいて領域定義データを内部生成する領域定義データ生成手段としての制御用 CPU 120 を有することから、適当な制御用データを外部から第 6 のポートに与えることで、様々なサンプリングデータに合わせて適切な記憶領域を容易に設定することができる。

【0082】

すなわち、外部からの制御用データに第 1 の記憶領域の容量を示すデータと第 2 の記憶領域の容量を示すデータとの双方を含ませおき、前記領域定義データ生成手段はそれら 2 つのデータに基づいて領域定義データを生成するようにすれば（ステップ 303 「両側」）、外部から制御用データを与えることにより、第 1 の記憶領域の容量と第 2 の記憶領域の容量とを個別に任意の大きさに設定することができる。一方、外部からの制御用データに第 1 の記憶領域の容量を示すデータは含ませるものの、第 2 の記憶領域の容量を示すデータは含ませないでおき、前記領域定義データ生成手段は第 1 の領域の容量を示すデータのみに基づいて領域定義データを生成するようにすれば（ステップ 303 「前側」）、予め第 1 の記憶領域の容量と第 2 記憶領域の容量との間に適当な相関を設けておくことにより、第 1 の記憶領域の容量のみを示す制御用データを与えるだけで、第 1 の記憶容量と第 2 の記憶容量とを適切に設定することができる。さらに、使用データの種別としても、「時間」と「データ数」とを選択的に使用できるので、分析対象データの種類に応じて適切な使用データを選択させることができる。

【0083】

なお、図 4 において、第 1 の記憶領域 401 と第 2 の記憶領域 402 との容量関係については、第 1 の記憶領域 401 の記憶容量は第 2 の記憶領域 402 の記憶容量の整数倍（より好ましくは 2 倍）とすることが好ましい。このようにすれば、フレーム単位に区分された画像データや音声データ等を対象とする場合、第 2 の記憶領域の容量を例えばフレームの大きさに対応させておくことにより、第 1 の記憶領域に保存されたデータと第 2 の記憶領域に保存されたデータとのデータ列同士の照合処理が容易となる。

【0084】

最後に、本発明に係るサンプルホールド IC の具体的ないくつかの適用例について説明する。本発明に係るサンプルホールド IC が適用されたデータレコーダの構成図が図 8 に示されている。同図において、801 は例えば、電圧、温度、圧力、流量等の測定対象特徴量を検出するプローブ、802 はプローブから得られる信号に基づいて特徴量相当の電気信号を生成する入力回路、803 は入力回路から得られるアナログ信号のデジタル化と、このデジタル化された信号の I2S バスへの送出手続きを果たす AD/I2S 変換回路、804 は本発明に係るサンプルホールド IC、805 は一次記憶媒体として機能する DRAM、806 は同様に二次記憶媒体として機能するフラッシュメモリ、807 はサンプルホールド IC 804 から I2S バス上に送出されたサンプルホールドデータを受け取って USB バスへと送出する I2S/USB 変換回路、808 はサンプルホールドデータを受け取って処理するパーソナルコンピュータ、809 は各種の状態信号（例えば、検出対象物周辺の温度、圧力、音量、振動等々を示す信号）S1～Sk が所定の条件を満足するときにトリガ信号 TRG を生成するトリガ発生回路である。

【0085】

この適用例によれば、プローブ 802 で検出された特徴量データは、常時は、DRAM 805 の第 1 の記憶領域にアドレスを循環歩進させながら記憶される。状態信号 S1～Sk が所定の条件を満たすと、トリガ発生回路 809 からトリガ信号 TRG が生成されて、サンプルホールド IC に供給される。すると、到来する一連の特徴量データは、第 1 の記憶領域ではなくて、第 2 の記憶領域に書き込まれていく。しかるのち、第 1 及び第 2 の記憶領域に格納されたデータ列は、二次記憶媒体であるフラッシュメモリ 806 に転写される。以後、フラッシュメモリ 806 内に保存されたデータ列（トリガ信号の到来タイミングの前後所定期間内のデータ列）は読み出されて、パーソナルコンピュータ 808 へと取り込まれる。このようなデータレコーダを車両に搭載すると共に、適宜なプローブを採用して、車両の速度、アクセル開度、エンジンの状態、ブレーキの状態等々を常時記録して

おき、同時に、エアバッグ起動信号等の車両事故と相関の高い信号によりトリガ信号を生成するようにすれば、事故時における貴重なデータを保存することができる。

【0086】

次に、本発明に係るサンプルホールドICが適用された監視装置の構成図が図9に示されている。同図において、901は撮影用レンズ及びイメージセンサを含むカメラ、902はカメラからの映像信号を処理する信号処理回路、903は信号処理回路から得られる信号をデータ圧縮する圧縮回路(c o d e c)、904は圧縮回路から得られるデータをI2Sバス上に送出するDATA/I2S変換回路、905は本発明に係るサンプルホールドIC、906は一次記憶媒体として機能するDRAM、907は同様に二次記憶媒体として機能するフラッシュメモリ、908はサンプルホールドICからI2Sバス上に送出されたサンプルホールドデータを受け取ってUSBバスへと送出するI2S/USB変換回路、909はサンプルホールドデータを受け取って処理するパーソナルコンピュータ、910は各種の状態信号(例えば、検出対象物周辺の温度、圧力、音量、振動等々を示す信号)S1~Skが所定の条件を満足するときにトリガ信号TRGを生成するトリガ発生回路である。この例にあっては、状態信号としては、カメラ901から取得されるフォーカス誤差信号、監視対象領域に置かれて侵入者により操作されるスイッチ911からの信号、カメラに内蔵されてカメラ自体の動きを検出する加速度センサ(図示せず)からの信号、監視対象領域の音を集音するマイク(図示せず)からの信号、カメラからの映像信号それ自体等を挙げることができる。

【0087】

この適用例によれば、カメラ901で取得された画像データは、常時は、DRAM906の第1の記憶領域にアドレスを循環歩進させながら記憶される。監視対象領域に侵入者が現れたことにより状態信号S1~Skが所定の条件を満たすと、トリガ発生回路910からトリガ信号TRGが生成されて、サンプルホールドIC905に供給される。すると、到来する一連の画像データは、第1の記憶領域ではなくて、第2の記憶領域に書き込まれていく。しかるのち、第1及び第2の記憶領域に格納された画像データ列は、二次記憶媒体であるフラッシュメモリ907に転写される。以後、フラッシュメモリ907に保存された画像データ列(トリガ信号の到来タイミングの前後所定期間内の画像データ列)は読み出されて、パーソナルコンピュータ909へと取り込まれる。このような監視装置を例えば玄関の防犯用監視システムに適用すれば、侵入者が玄関の前に現れたとき、それまでの侵入者の挙動を含む一連の画像を保存することができる。

【図面の簡単な説明】

【0088】

【図1】本発明に係るサンプルホールド装置の構成図である。

【図2】制御用CPUの動作を示すゼネラルフローチャートである。

【図3】各種設定処理の詳細フローチャートである。

【図4】一次記憶媒体のメモリマップ並びに記憶データフォーマットを示す説明図である。

【図5】メモリ制御部の動作を示すゼネラルフローチャートである。

【図6】サンプルホールド処理の詳細フローチャートである。

【図7】本発明の作用説明図である。

【図8】本発明に係るサンプルホールドICが適用されたテープレコーダの構成図である。

【図9】本発明に係るサンプルホールドICが適用された監視装置の構成図である。

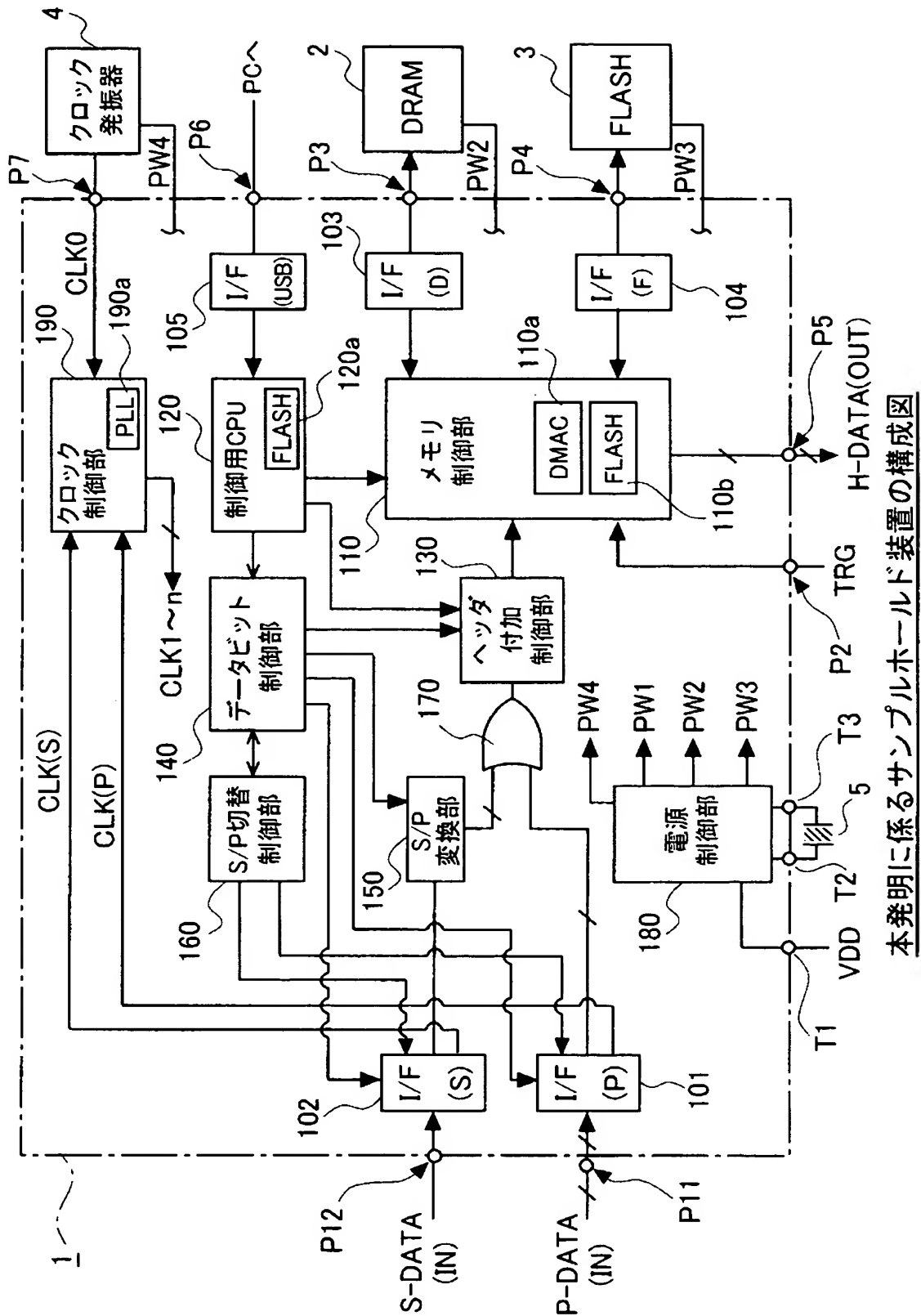
【符号の説明】

【0089】

- 1 半導体集積回路
- 2 DRAM
- 3 フラッシュメモリ (FLASH)
- 4 クロック発振器

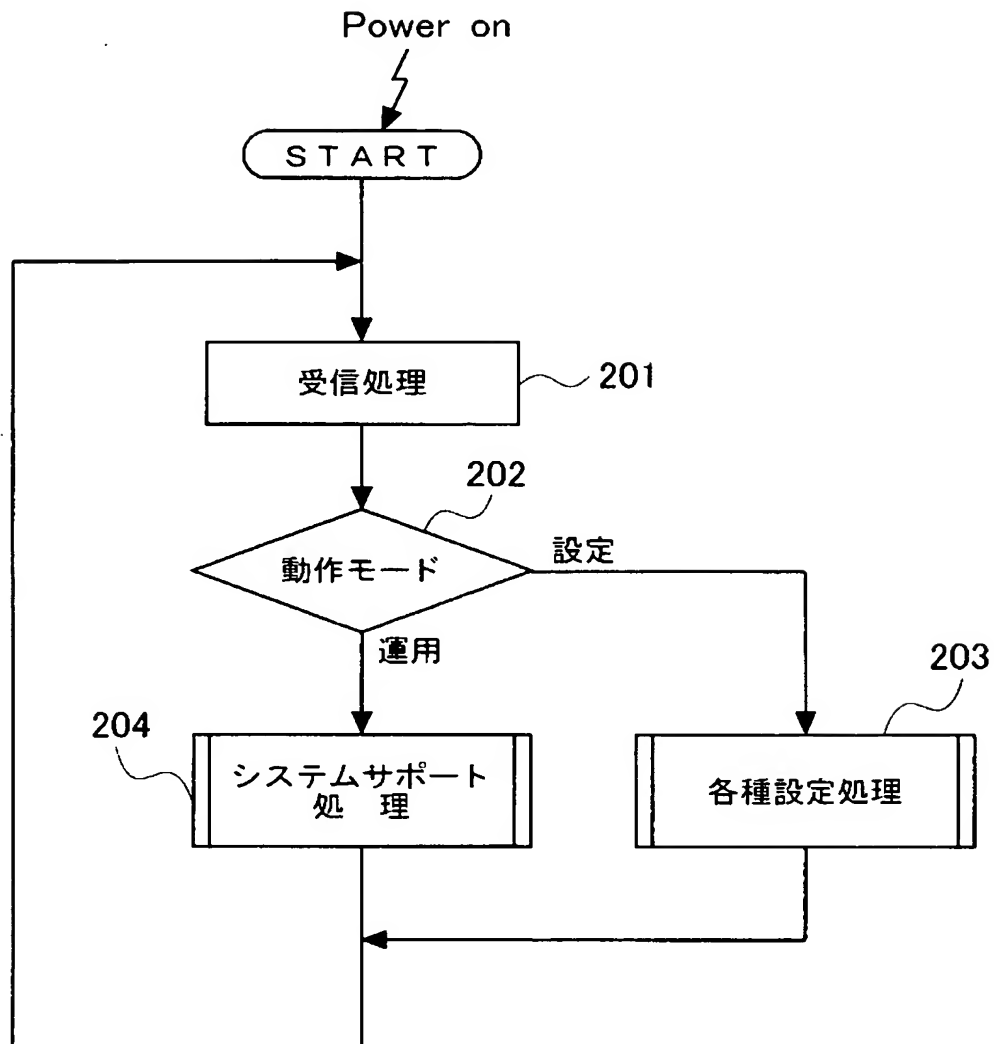
5 スーパーキャパシタ
101～105 インタフェース
110 メモリ制御部
110a DAMコントローラ (DAMC)
110b フラッシュメモリ (FLASH)
120 制御用CPU
120a フラッシュメモリ (FLASH)
130 ヘッダ付加制御部
140 データビット制御部
150 シリアル/パラレル変換部
160 シリアル/パラレル切替制御部
170 ORゲート
180 電源制御部
401 第1の記憶領域
402 第2の記憶領域
403 データ部分
404 ヘッダ部分
CLK0 動作クロック
CLK1～n 制御用クロック
H-DATA (OUT) サンプルホールドデータ
P11, P12, P2～P7 ポート
PW1 本体用電源
PW2 DRAM用電源
PW3 フラッシュメモリ (FLASH) 用電源
PW4 発振器用電源
P-DATA (IN) パラレル入力データ
S-DATA (IN) シリアル入力データ
T1 電源VDD用外部端子
T2, T3 スーパーキャパシタ用外部端子
TRG トリガ信号
801 プロープ
802 入力回路
803 AD/I2S変換回路
804 サンプルホールドIC
805 DRAM
806 フラッシュメモリ
807 I2S/USB変換回路
808 パーソナルコンピュータ
809 トリガ発生回路
S1～Sk 状態信号
901 カメラ (含む、レンズ及びイメージセンサ)
902 信号処理回路
903 c o d e c
904 DATA/I2S変換回路
905 サンプルホールドIC
906 DRAM
907 フラッシュメモリ
908 I2S/USB変換回路
909 パーソナルコンピュータ
910 トリガ発生回路

【書類名】 図面
【図1】

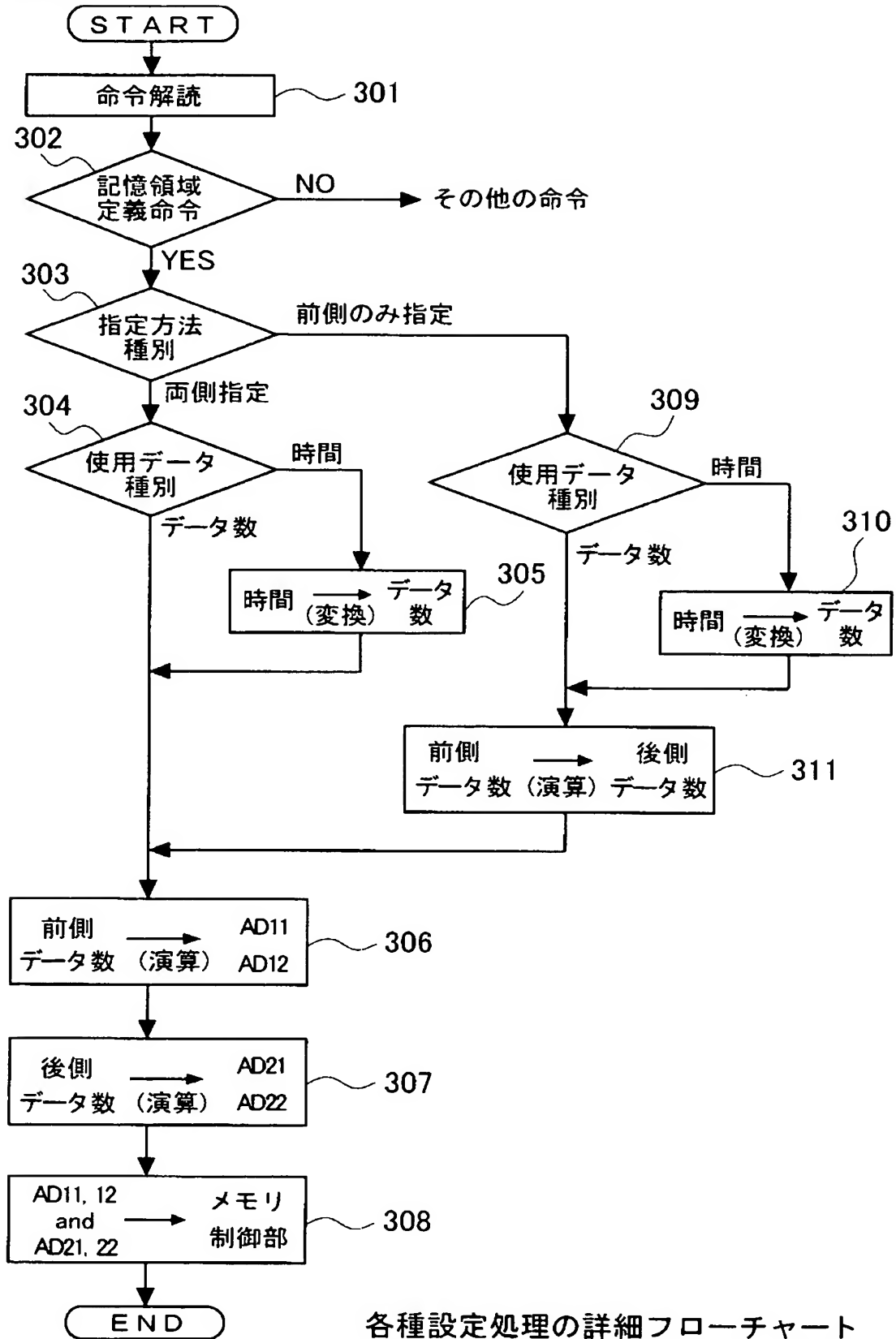


本発明に係るサンプルホールド装置の構成図

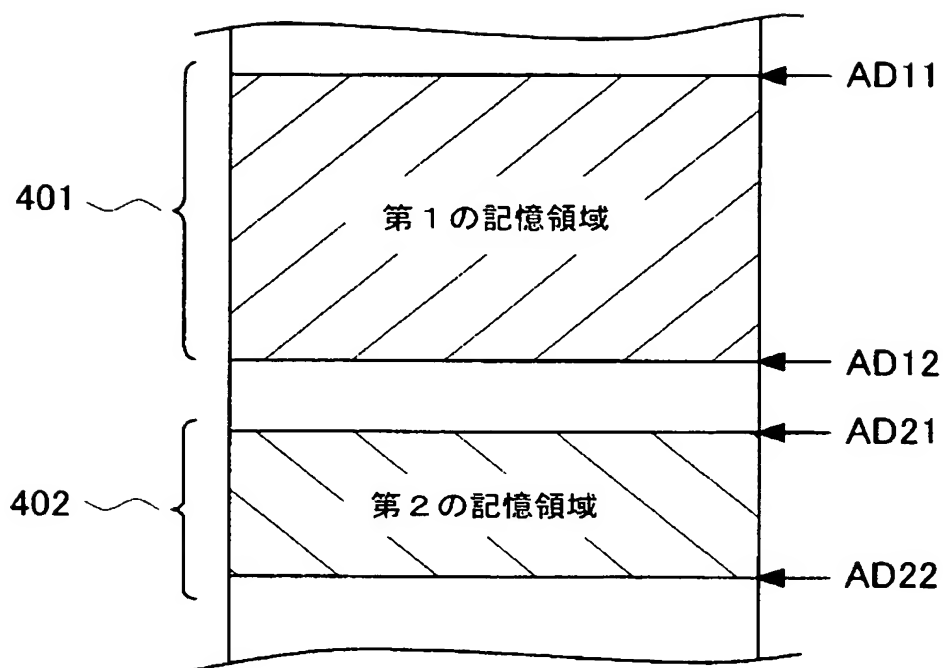
【図 2】

制御用CPUの動作を示すゼネラルフローチャート

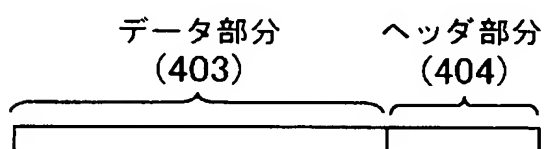
【図 3】



【図 4】



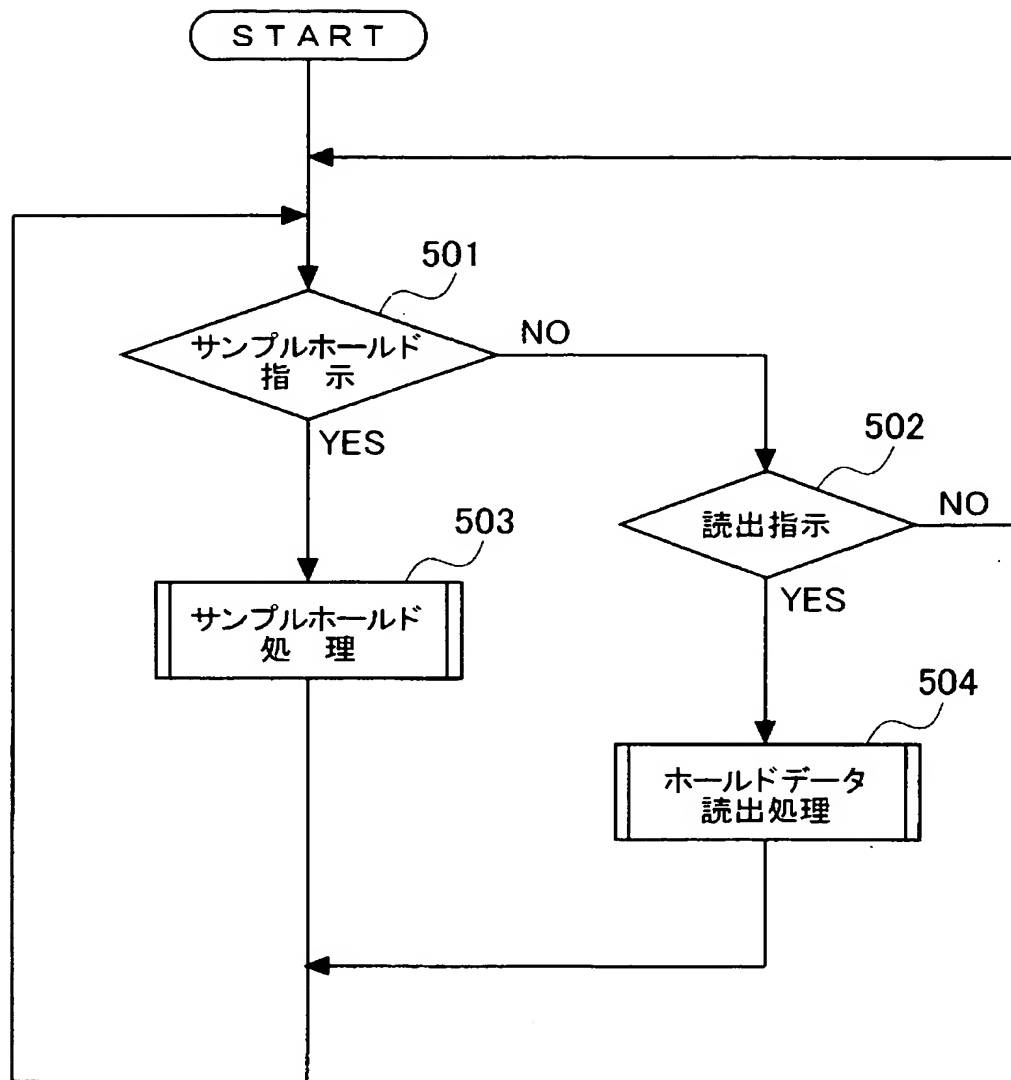
(a)



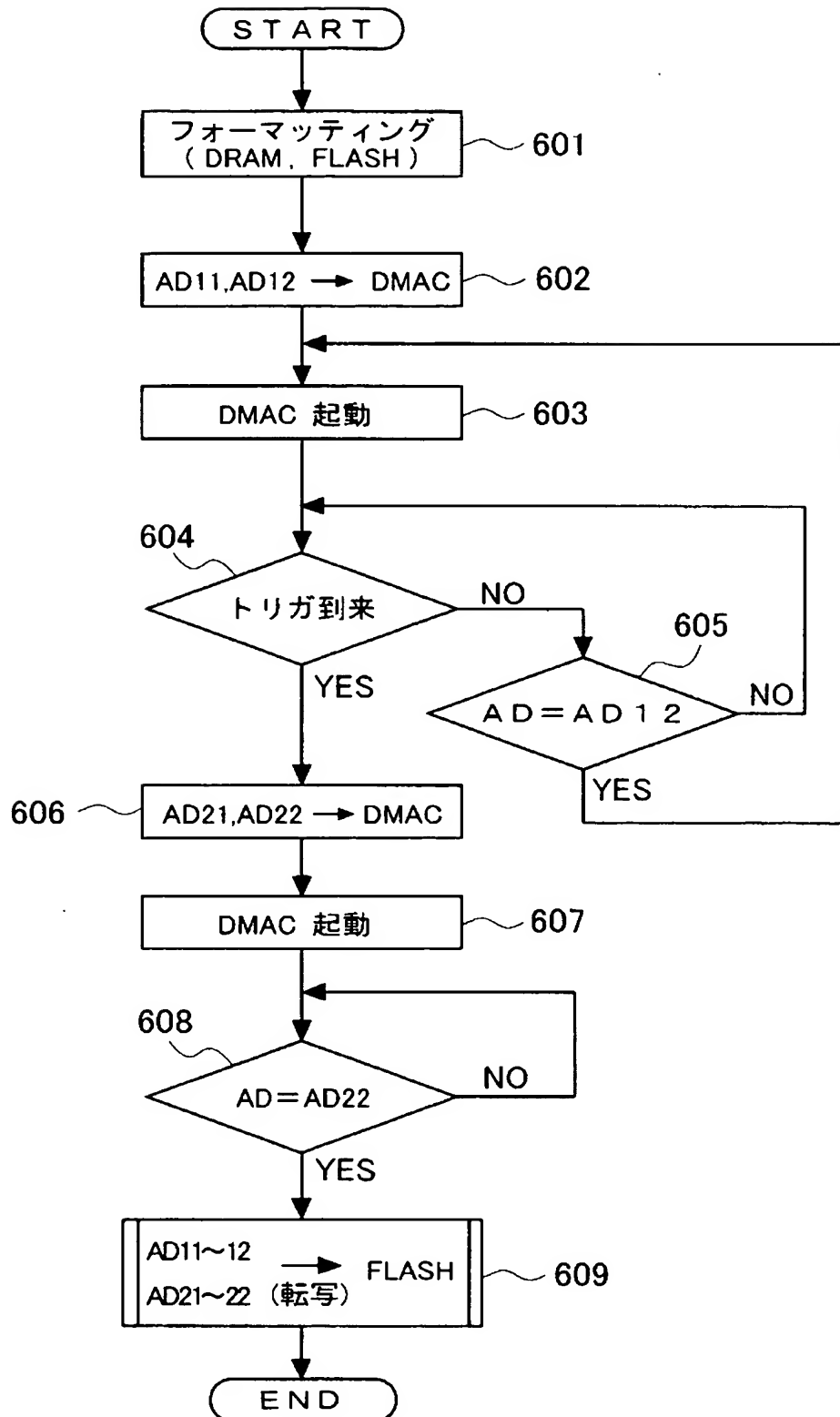
(b)

一次記憶媒体のメモリマップ並びに
記憶データのフォーマットを示す説明図

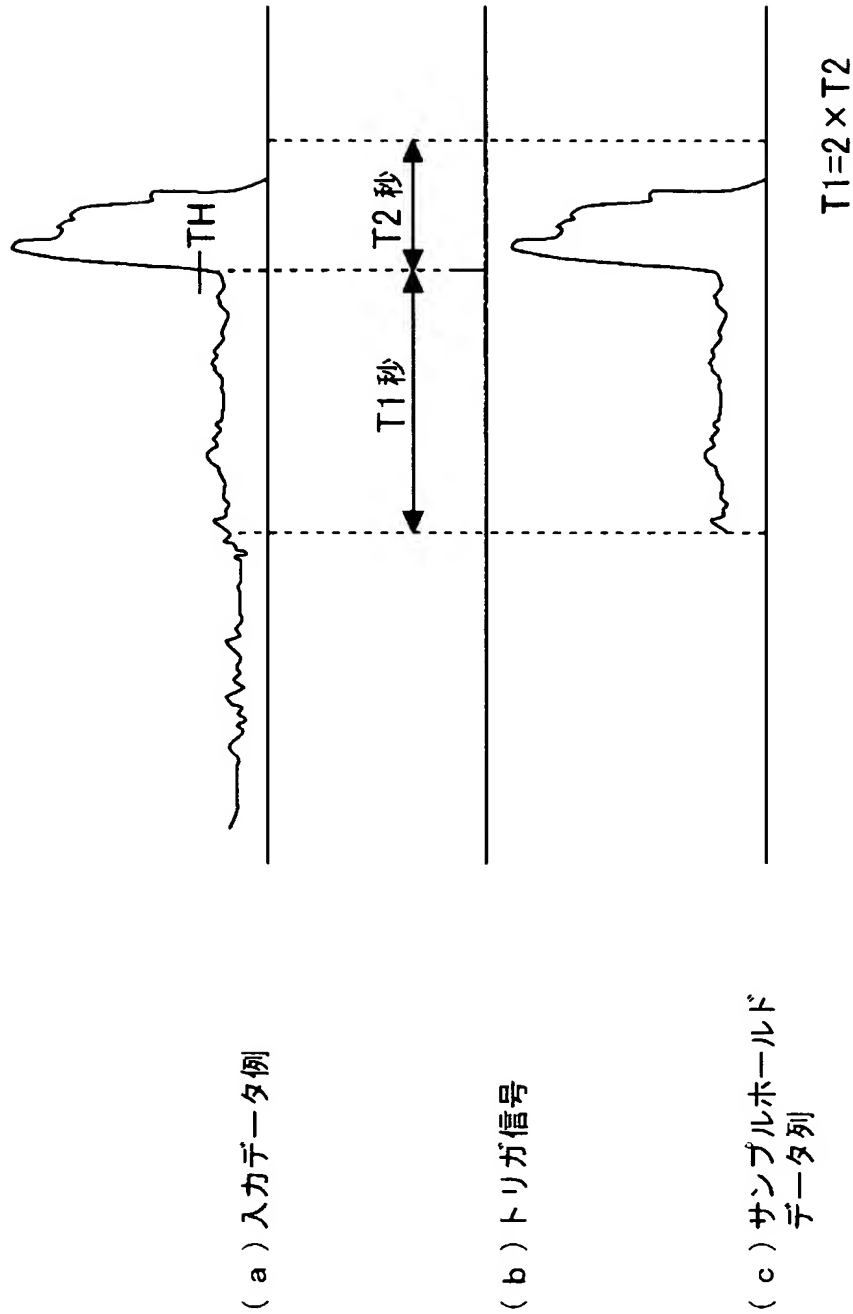
【図 5】

メモリ制御部の動作を示すゼネラルフローチャート

【図 6】

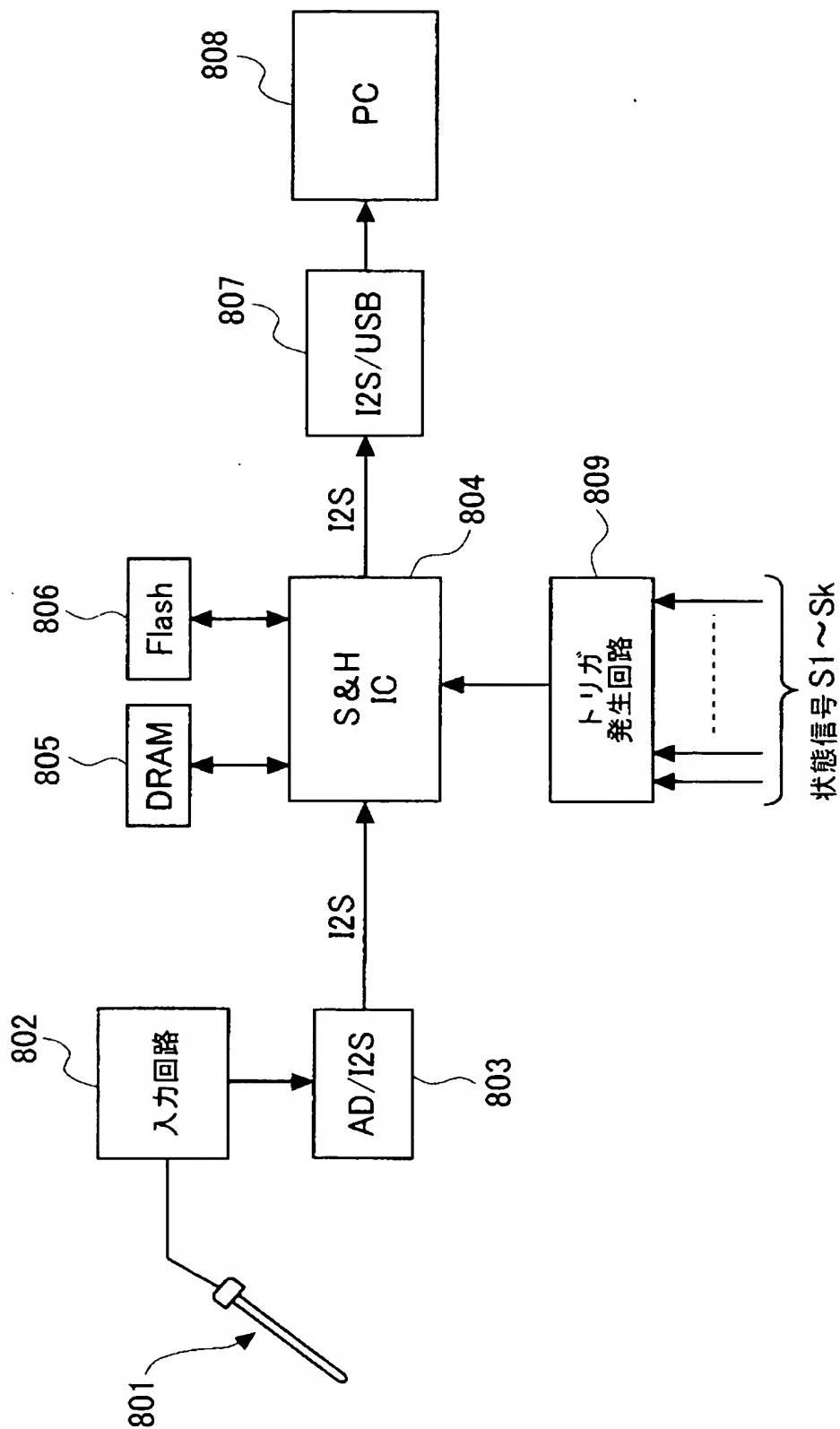
サンプルホールド処理の詳細フローチャート

【図 7】



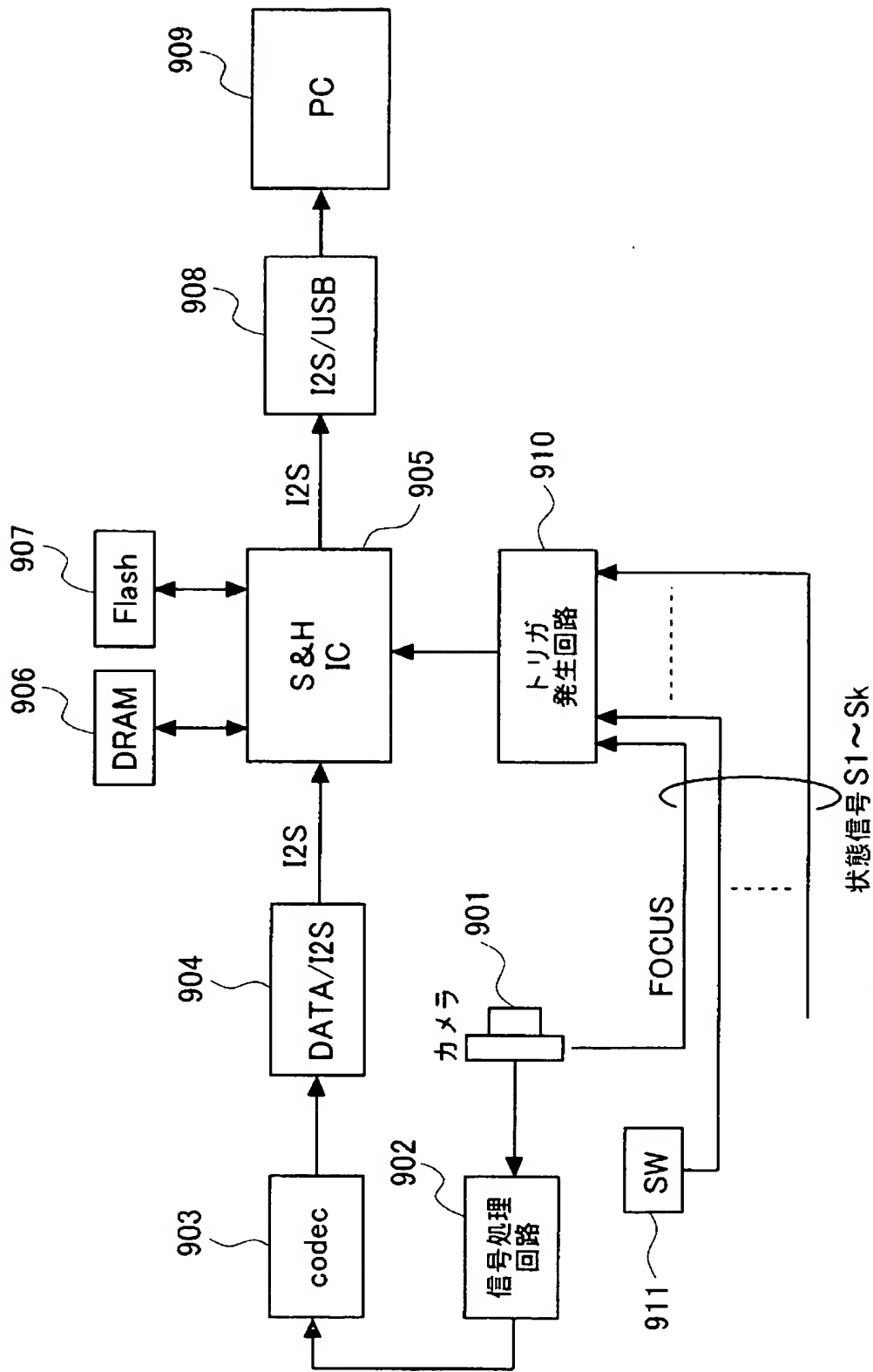
本発明の作用説明図

【図 8】



本発明に係る IC が適用されたデータレコーダの構成図

【図 9】



本発明に係る I C が適用された監視装置の構成図

【書類名】 要約書**【要約】**

【課題】 必要とされる記憶媒体の記憶容量を必要最小限に留め、かつトリガ信号の到来タイミング前の所定区間に含まれる一連のデータとトリガ信号の到来タイミング後の所定区間に含まれる一連のデータとを明確に分離してそれぞれを独立して管理できるサンプルホールド方法を提供する。

【解決手段】 一次記憶媒体と、前記一次記憶媒体に前記前側区間に対応する第1の記憶領域と前記後側区間に対応する第2の記憶領域とを定義するための領域定義データを記憶するための領域定義データ記憶手段と、到来する一連のデータを前記領域定義データにより定義される前記第1の記憶領域にアドレスを循環歩進させながら書き込む動作を前記トリガ信号が到来するまで継続する第1の書き込み制御手段と、前記トリガ信号が到来するのを待って、前記第1の記憶領域へのデータ書き込みを停止する代わりに、前記トリガ信号の到来以降に到来した一連のデータを前記領域定義データにより定義される前記第2の記憶領域へと書き込む第2の書き込み制御手段と、を具備する。

【選択図】 図1

特願 2 0 0 3 - 3 7 7 5 0 8

出 願 人 履 歴 情 報

識別番号

[3 0 3 0 3 8 1 4 6]

1. 変更年月日

2 0 0 3 年 7 月 4 日

[変更理由]

新規登録

住 所

神奈川県横浜市港北区新横浜三丁目 6 番 1 2 号

氏 名

アセットコア・テクノロジー株式会社